



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0038889
Application Number

출원 년 월 일 : 2003년 06월 16일
Date of Application JUN 16, 2003

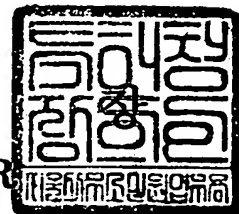
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 06 월 25 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.06.16
【발명의 명칭】	인장된 채널을 갖는 모스 트랜지스터를 구비하는 반도체 소자의 제조 방법
【발명의 영문명칭】	Methods of fabricating a semiconductor device including a MOS transistor having a strained channel
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-054081-9
【발명자】	
【성명의 국문표기】	선민철
【성명의 영문표기】	SUN, MIN CHUL
【주민등록번호】	730726-1051111
【우편번호】	612-752
【주소】	부산광역시 해운대구 좌동 건영2차아파트 101동 903호
【국적】	KR
【발명자】	
【성명의 국문표기】	구자흠
【성명의 영문표기】	KU, JA HUM
【주민등록번호】	680110-1010516
【우편번호】	463-500
【주소】	경기도 성남시 분당구 구미동 무지개마을 건영아파트 1004-1401
【국적】	KR
【발명자】	
【성명의 국문표기】	정석우
【성명의 영문표기】	JUNG, SUG WOO

【주민등록번호】	700103-1702714
【우편번호】	440-330
【주소】	경기도 수원시 장안구 천천동 507-5
【국적】	KR
【발명자】	
【성명의 국문표기】	윤선평
【성명의 영문표기】	YOUN,SUN PIL
【주민등록번호】	730821-1069318
【우편번호】	151-021
【주소】	서울특별시 관악구 신림11동 746-1
【국적】	KR
【발명자】	
【성명의 국문표기】	김민주
【성명의 영문표기】	KIM,MIN JOO
【주민등록번호】	770804-2119841
【우편번호】	120-180
【주소】	서울특별시 서대문구 창천동 4-97 304호
【국적】	KR
【발명자】	
【성명의 국문표기】	노관중
【성명의 영문표기】	ROH,KWAN JONG
【주민등록번호】	731001-1453317
【우편번호】	430-018
【주소】	경기도 안양시 만안구 안양8동 394-28 101호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박상수 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	17 면 17,000 원

【우선권주장료】	0	건	0	원
【심사청구료】	27	항	973,000	원
【합계】	1,019,000			원
【첨부서류】	1.	요약서·명세서(도면)_1통		

【요약서】**【요약】**

인장된 채널을 갖는 모스 트랜지스터를 구비하는 반도체소자의 제조 방법을 제공한다. 이 방법은 반도체기판의 소정영역에 모스 트랜지스터를 형성하는 것을 구비한다. 상기 모스 트랜지스터는 상기 반도체기판에 형성되고 서로 이격된(spaced apart) 소오스 영역 및 드레인 영역과 아울러서 상기 소오스 영역 및 상기 드레인 영역 사이의 채널 영역 상부에 형성된 게이트 전극을 갖는다. 상기 모스 트랜지스터를 갖는 반도체기판의 전면 상에 스트레스막을 형성한다. 상기 스트레스막을 열처리하여 상기 스트레스막의 물리적인 스트레스를 인장 스트레스(tensile stress)로 변환시키거나(convert) 상기 스트레스막의 인장 스트레스를 증가시킨다.

【대표도】

도 1

【명세서】**【발명의 명칭】**

인장된 채널을 갖는 모스 트랜지스터를 구비하는 반도체소자의 제조 방법{Methods of fabricating a semiconductor device including a MOS transistor having a strained channel}

【도면의 간단한 설명】

도 1은 본 발명의 실시예들에 따른 모스 트랜지스터의 제조방법을 도시한 공정 순서도(process flow chart)이다.

도 2 내지 도 7은 본 발명의 실시예들에 따른 모스 트랜지스터의 제조방법을 설명하기 위한 단면도들이다.

도 8은 본 발명에 사용되는 스트레스막의 특성을 보여주는 그래프이다.

도 9는 본 발명에 사용되는 스트레스막의 역할(role)을 보여주기 위하여 제작된 여러가지의 NMOS 트랜지스터들의 온/오프 전류 특성들을 도시한 그래프이다.

도 10은 본 발명의 실시예에 따라 제작된 NMOS 트랜지스터들의 온/오프 전류 특성들 및 종래의 기술에 따라 제작된 NMOS 트랜지스터들의 온/오프 전류 특성들을 도시한 그래프이다.

도 11은 압축 스트레스(compressive stress)를 갖는 물질막을 사용하여 제작된 NMOS 트랜지스터들의 온/오프 전류 특성들 및 종래의 기술에 따라 제작된 NMOS 트랜지스터들의 온/오프 전류 특성들을 도시한 그래프이다.

도 12는 스트레스막 및 충전절연막을 차례로 형성한 후에 열처리 공정이 적용된 NMOS 트랜지스터들의 온/오프 전류 특성들을 도시한 그래프이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <8> 본 발명은 반도체 소자의 제조방법에 관한 것으로, 특히 인장된 채널을 갖는 모스 트랜지스터를 구비하는 반도체소자의 제조방법에 관한 것이다.
- <9> 반도체 소자는 모스 트랜지스터와 같은 개별소자(discrete device)를 스위칭 소자로 널리 채택하고 있다. 이에 따라, 상기 반도체소자의 특성을 개선시키기 위하여 고성능 모스 트랜지스터(high performance MOS transistor)를 구현하는 것이 필요하다. 최근에, 상기 고성능 모스 트랜지스터의 제조에 셀리사이드 기술(salicide technique)이 널리 사용되고 있다.
- <10> 상기 셀리사이드 기술에 따르면, 모스 트랜지스터의 게이트 전극 및 소오스/드레인 영역 상에 선택적으로 금속 실리사이드막이 형성된다. 이에 따라, 상기 게이트 전극 및 소오스/드레인 영역의 전기적인 저항을 현저히 낮출 수 있다. 상기 금속 실리사이드막으로 코발트 실리사이드막 또는 타이타늄 실리사이드막 등이 널리 채택되고 있다. 특히, 상기 코발트 실리사이드막의 저항은 선평의 변화에 대하여 매우 낮은 의존성을 보인다. 이에 따라, 상기 단채널 모스 트랜지스터의 게이트 전극 상에 코발트 실리사이드막을 형성하는 기술이 널리 사용되고 있다. 그러나, 상기 게이트 전극의 폭이 약 $0.1\ \mu\text{m}$ 보다 작은 경우에, 응집(agglomeration)이라고 알려진 현상에 기인하여 상기 코발트 실리사이드

드막의 적용에 한계가 있다. 이에 따라, 최근에 니켈 켈리사이드 기술이 고성능 모스 트랜지스터의 제조에 사용되고 있다.

<11> 상기 니켈 켈리사이드 기술에 따라 형성된 니켈 실리사이드막은 다양한 조성비 (composition rate)를 가질 수 있다. 예를 들면, 상기 니켈 실리사이드막(nickel silicide layer)은 다이 니켈 모노 실리사이드막(di-nickel mono-silicide layer; Ni_2Si layer), 니켈 모노 실리사이드막(nickel mono-silicide layer; NiSi layer) 또는 니켈 다이 실리사이드막(nickel di-silicide layer; NiSi_2 layer)일 수 있다. 이들 니켈 실리사이드막들중 상기 니켈 모노 실리사이드막(NiSi layer)이 가장 낮은 비저항(resistivity)을 갖는다. 그러나, 상기 니켈 모노 실리사이드막(NiSi layer)은 350°C 내지 550°C 의 저온에서 형성되는 반면에, 상기 니켈 다이 실리사이드막(NiSi_2 layer)은 약 550°C 보다 높은 온도에서 형성된다. 따라서, 저저항성의(low resistive) 니켈 실리사이드막을 형성하기 위해서는 상기 니켈 실리사이드막의 형성공정 및 그 후속 공정이 550°C 보다 낮은 온도에서 진행되어야 한다.

<12> 상기 고성능 모스 트랜지스터를 형성하기 위한 또 다른 방법으로 인장된 채널(strained channel)을 형성하는 방법이 제안된 바 있다. 여기서, 상기 인장된 채널은 실리콘보다 큰 격자상수를 갖는다. 이에 따라, 상기 인장된 채널 내의 캐리어들의 이동도(mobility)가 증가되어 상기 모스 트랜지스터의 스위칭 속도를 향상시킨다. 상기 인장된 채널을 형성하는 방법들은 미국특허 제6,358,806 B1 및 미국특

허 제5,683,934호에 개시되어 있다. 상기 미국특허 제6,358,806 B1 및 미국특허 제 5,683,934호에 따르면, 상기 인장된 채널은 실리콘 탄화층(silicon carbide layer) 및/또는 에피택시얼 성장기술(epitaxial growing technique)을 사용하여 형성된다. 그러나, 이러한 실리콘 탄화층(silicon carbide layer) 및 에피택시얼 성장기술을 채택하기 위해서는 복잡하고 정밀한 공정들(complicate and accurate processes)이 요구된다.

<13> 한편, 무경계 콘택(borderless contact)을 형성하는 방법이 미국특허 제6,265,271 B1호에 테이(Thei) 등에 의해 개시된 바 있다. 테이 등에 따르면, 샬리사이드 기술을 사용하여 제작된 모스 트랜지스터를 갖는 반도체기판의 전면 상에 식각저지막을 형성한다. 상기 식각저지막을 갖는 반도체기판을 열처리하여 상기 식각저지막을 치밀화시킨다(densify). 상기 열처리 공정은 850℃ 내지 900℃의 온도에서 실시한다. 이 경우에, 상기 열처리 공정은 상기 식각저지막의 치밀화(densification)는 물론 상기 모스 트랜지스터의 게이트 전극 및 소오스/드레인 영역들 상에 형성된 코발트 모노 실리사이드막들(CoSi layers; cobalt mono silicide layers) 또는 타이타늄 모노 실리사이드막들(TiSi layers)의 상변이(phase transformation)를 위하여 실시된다. 상기 코발트 모노 실리사이드막(또는 상기 타이타늄 모노 실리사이드막)은 니켈 실리사이드막과는 달리 코발트 다이 실리사이드막(또는 타이타늄 다이 실리사이드막)에 비하여 높은 저항을 갖는다. 따라서, 상기 열처리 공정은 상기 코발트 모노 실리사이드막들(또는 상기 타이타늄 모노 실리사이드막들)을 상기 코발트 다이 실리사이드막들(또는 상기 타이타늄 다이 실리사이드막들)로 변화시키기 위하여 실시된다.

<14> 그러나, 상기 샬리사이드 기술이 니켈 샬리사이드 기술인 경우에, 상기 열처리 공정은 오히려 모스 트랜지스터의 게이트 전극 및 소오스/드레인 영역 상에 형성된 니켈

실리사이드막의 저항을 증가시킨다. 이에 따라, 상기 모스 트랜지스터의 특성이 저하된다.

<15> 이에 더하여, 낮은 물리적인 스트레스(low physical stress) 및 낮은 수소량(low amount of hydrogen)을 갖는 반도체소자를 제조하는 방법이 미국특허 제6,071, 784호에 메타(Mehta) 등에 의해 개시된 바 있다. 메타 등에 따르면, 모스 트랜지스터를 갖는 반도체기판 상에 식각저지막을 형성한다. 상기 식각저지막은 725℃ 내지 775℃의 온도에서 열처리되어 상기 식각저지막 내에 함유된 수소의 양을 감소시킨다. 이에 따라, 상기 모스 트랜지스터의 문턱전압 특성을 안정화시킬 수 있다. 그러나, 상기 모스 트랜지스터가 니켈 샬리사이드 기술을 사용하여 제작되는 경우에, 상기 식각저지막의 열처리 공정은 상기 니켈 샬리사이드 기술에 의해 형성된 니켈 실리사이드막의 상변이를 유발시킨다. 따라서, 상기 모스 트랜지스터의 스위칭 동작(switching operation)이 저하될 수 있다.

<16> 결론적으로, 상기 니켈 샬리사이드 기술을 채택하는 고성능 모스 트랜지스터의 제조공정을 최적화시키는(optimize) 것이 요구된다.

【발명이 이루고자 하는 기술적 과제】

<17> 본 발명이 이루고자 하는 기술적 과제는 채널 내의 캐리어들의 이동도(mobility)를 증가시킬 수 있는 모스 트랜지스터를 구비하는 반도체소자의 제조방법을 제공하는 데 있다.

<18> 본 발명이 이루고자 하는 다른 기술적 과제는 니켈 샬리사이드 기술의 사용과 함께 스위칭 속도를 향상시킬 수 있는 모스 트랜지스터를 구비하는 반도체소자의 제조방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<19> 상기 기술적 과제들을 이루기 위하여 본 발명은 인장된 채널을 갖는 모스 트랜지스터를 구비하는 반도체소자의 제조방법을 제공한다. 이 방법은 반도체기판의 소정영역에 모스 트랜지스터를 형성하는 것을 포함한다. 상기 모스 트랜지스터는 상기 반도체기판에 형성되고 서로 이격된(spaced apart) 소오스 영역 및 드레인 영역과 아울러서 상기 소오스 영역 및 상기 드레인 영역 사이의 채널 영역 상부에 형성된 게이트 전극을 갖는다. 상기 모스 트랜지스터를 갖는 반도체기판의 전면 상에 스트레스막을 형성한다. 상기 스트레스막을 열처리하여 상기 스트레스막의 물리적인 스트레스(physical stress)를 인장 스트레스(tensile stress)로 변환시키거나(convert) 상기 스트레스막의 인장 스트레스를 증가시킨다. 이에 따라, 상기 열처리된 스트레스막과 접촉하는 상기 소오스/드레인 영역들에 압축 스트레스(compressive stress)가 가해진다. 그 결과, 상기 소오스/드레인 영역들 사이의 상기 채널 영역에 인장 스트레스(tensile stress)가 가해지므로, 상기 채널 영역은 증가된 격자상수(increased lattice constant)를 갖는 인장된 채널(strained channel)로 변환된다.

<20> 본 발명의 일 실시예에 따르면, 상기 반도체소자의 제조방법은 반도체기판의 소정 영역에 소자분리막을 형성하여 활성영역을 한정하는 것을 포함한다. 상기 활성영역의 상부를 가로지르도록 게이트 전극을 형성한다. 상기 게이트 전극의 측벽 상에 스페이서를 형성한다. 이어서, 상기 게이트 전극 및 상기 스페이서를 이온주입 마스크들로 사용하여 상기 활성영역에 N형의 불순물들을 주입하여 상기 게이트 전극의 양 옆에 N형의 소오스/드레인 영역들을 형성한다. 상기 게이트 전극 및 상기 N형의 소오스/드레인 영역들 상에 셀리사이드 기술을 사용하여 니켈 실리사이드막을 형성한다. 상기 니켈 실리사이드막을

갖는 반도체기판의 전면 상에 스트레스막을 형성한다. 상기 스트레스막을 열처리하여 상기 스트레스막의 물리적인 스트레스를 인장 스트레스(tensile stress)로 변환시키거나(convert) 상기 스트레스막의 인장 스트레스를 증가시킨다. 상기 열처리된 스트레스막 상에 층간절연막을 형성한다.

- <21> 본 발명의 다른 실시예에 따르면, 상기 반도체소자의 제조방법은 반도체기판의 소정영역에 소자분리막을 형성하여 활성영역을 한정하는 것을 포함한다. 상기 활성영역의 상부를 가로지르도록 게이트 전극을 형성한다. 상기 게이트 전극의 측벽 상에 스페이서를 형성한다. 이어서, 상기 게이트 전극 및 상기 스페이서를 이온주입 마스크들로 사용하여 상기 활성영역에 N형의 불순물들을 주입하여 상기 게이트 전극의 양 옆에 N형의 소오스/드레인 영역들을 형성한다. 결과적으로, 상기 반도체기판에 NMOS 트랜지스터가 형성된다. 이에 더하여, 상기 활성영역과 인접한 다른 활성영역에 PMOS 트랜지스터가 형성될 수 있다. 상기 NMOS 트랜지스터 및 PMOS 트랜지스터의 게이트 전극들 및 상기 소오스/드레인 영역들 상에 셀리사이드 기술을 사용하여 니켈 실리사이드막을 형성한다. 상기 니켈 실리사이드막을 갖는 반도체기판의 전면 상에 스트레스막을 형성하고, 상기 스트레스막 상에 하부 층간절연막(lower interlayer insulating layer)을 형성한다. 상기 하부 층간절연막을 패터닝하여 상기 NMOS 트랜지스터 영역 상부의 상기 스트레스막을 선택적으로 노출시킨다. 다시 말해서, 상기 패터닝된 하부 층간절연막은 상기 PMOS 트랜지스터 영역을 덮도록 형성된다. 상기 노출된 스트레스막(exposed stress layer)을 열처리하여 상기 노출된 스트레스막의 물리적인 스트레스를 인장 스트레스(tensile stress)로 변환시키거나(convert) 상기 노출된 스트레스막의 인장 스트레스를 증가시킨

다. 그 결과, 상기 NMOS 트랜지스터는 인장된 채널(strained channel)을 갖는다. 다음에, 상기 열처리된 반도체기판의 전면 상에 상부 층간절연막을 형성한다.

<22> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

<23> 도 1은 본 발명의 실시예들에 따른 반도체소자의 제조방법들을 설명하기 위한 공정 순서도(process flow chart)이고, 도 2 내지 도 7은 본 발명의 실시예들에 따른 반도체소자의 제조방법들을 설명하기 위한 단면도들이다.

<24> 도 1 및 도 2를 참조하면, 반도체기판(51)의 소정영역에 소자분리막(53)을 형성하여 활성영역을 한정한다. 상기 활성영역 상에 게이트 절연막(55)을 형성한다(도 1의 단계 1). 상기 게이트 절연막(55)을 갖는 반도체기판의 전면 상에 게이트 도전막(gate conductive layer)을 형성한다. 상기 게이트 도전막은 N형의 불순물들로 도우핑된 실리콘막으로 형성할 수 있다. 상기 게이트 도전막을 패터닝하여 상기 게이트 절연막(55)의 소정영역 상에 게이트 패턴(57), 즉 게이트 전극을 형성한다(도 1의 단계 3). 상기 게이트 패턴(57)은 상기 활성영역의 상부를 가로지르도록 형성된다. 상기 게이트 패턴(57)

및 소자분리막(53)을 이온주입 마스크들로 사용하여 상기 활성영역 내에 제1 불순물 이온들을 주입하여 LDD 영역들(lightly doped drain regions; 59)을 형성한다(도 1의 단계 5). 상기 제1 불순물 이온들은 N형 불순물 이온들일 수 있다. 구체적으로, 상기 N형 불순물 이온들은 비소 이온들 또는 인 이온들이다.

<25> 도 1 및 도 3을 참조하면, 상기 LDD 영역들(59)을 갖는 반도체기판의 전면 상에 절연성 스페이스막(insulating spacer layer)을 형성한다. 상기 스페이스막은 실리콘 산화막, 실리콘 질화막 또는 이들의 조합막으로 형성할 수 있다. 상기 스페이스막을 이방성 식각하여 상기 게이트 패턴(57)의 측벽 상에 스페이스(61)를 형성한다(도 1의 단계 7). 이어서, 상기 게이트 패턴(57), 스페이스(61) 및 소자분리막(53)을 이온주입 마스크들로 사용하여 상기 활성영역 내에 제2 불순물 이온들을 주입하여 소오스/드레인 영역들(63)을 형성한다(도 1의 단계 9). 그 결과, 상기 스페이스(61)의 하부에 상기 LDD 영역들(59)이 잔존한다. 상기 제1 불순물 이온들이 N형인 경우에, 상기 제2 불순물 이온들 역시 N형 불순물 이온들에 해당한다. 다음에, 상기 소오스/드레인 영역들(63) 내의 상기 제2 불순물 이온들을 열처리하여 활성화된 소오스/드레인 영역들을 형성한다(도 1의 단계 11). 상기 제2 불순물 이온들의 열처리 공정은 830℃ 내지 1150℃의 온도에서 급속 열처리 공정을 사용하여 실시할 수 있다. 상기 게이트 전극(57) 및 상기 소오스/드레인 영역들(63)은 MOS 트랜지스터를 구성한다. 상기 소오스/드레인 영역들(63)이 N형인 경우에, 상기 MOS 트랜지스터는 NMOS 트랜지스터에 해당한다.

<26> 도 1 및 도 4를 참조하면, 상기 활성화된 소오스/드레인 영역들을 갖는 반도체기판에 금속 샬리사이드 공정, 즉 니켈 샬리사이드 공정을 적용한다(도 1의 단계 13). 좀 더 구체적으로, 상기 활성화된 소오스/드레인 영역들을 갖는 반도체기판의 표면을 세정하

여 상기 게이트 패턴(57) 및 상기 활성화된 소오스/드레인 영역들(63)의 표면들 상에 잔존하는 자연산화막(native oxide layer) 및 오염입자들(contaminated particles)을 제거한다. 상기 세정된 반도체기판의 전면 상에 니켈막을 형성한다. 상기 니켈막은 순수 니켈막(pure nickel layer) 또는 니켈 합금막(nickel alloy layer)으로 형성할 수 있다. 상기 니켈 합금막은 탄탈륨(Ta), 지르코늄(Zr), 타이타늄(Ti), 하프늄(Hf), 텅스텐(W), 코발트(Co), 백금(Pt), 몰리브데늄(Mo), 팔라듐(Pd), 바나듐(V) 및 니오비움(Nb)으로 이루어진 일 군중 적어도 하나를 함유한다(contain).

<27> 계속해서, 상기 니켈막을 갖는 반도체기판을 350℃ 내지 550℃의 저온에서 열처리한다. 그 결과, 상기 니켈막이 상기 게이트 패턴(57)의 실리콘 원자들 및 상기 소오스/드레인 영역들(63)의 실리콘 원자들과 반응하여 상기 게이트 패턴(57) 및 상기 소오스/드레인 영역들(63)의 표면들에 각각 선택적으로 제1 및 제2 니켈 모노 실리사이드막들(NiSi layers; 65a, 65b)을 생성시킨다. 상기 실리사이드화 열처리 온도(silicidation annealing temperature)가 550℃보다 높은 경우에는, 상기 니켈 모노 실리사이드막들(NiSi layers) 대신에 상기 니켈 모노 실리사이드막보다 높은 저항을 갖는 니켈 다이 실리사이드막(NiSi₂ layer)이 형성된다. 이에 따라, 상기 실리사이드화 온도(silicidation temperature)는 350℃ 내지 550℃의 저온인 것이 바람직하다. 이어서, 상기 스페이서(61) 및 소자분리막(53) 상의 미반응된 니켈막(unreacted nickel layer)을 제거하여 상기 제1 니켈 모노 실리사이드막(65a)을 상기 제2 니켈 모노 실리사이드막(65b)으로부터 전기적으로 분리시킨다(disconnect). 상기 미반응된 니켈막은 황산용액(H₂SO₄) 및 과산화수소(H₂O₂)의 혼합용액(mixture)을 사용하여 제거할 수 있다.

<28> 도 1 및 도 5를 참조하면, 상기 미반응된 니켈막이 제거된 반도체기판의 전면 상에 스트레스막(stress layer; 67)을 형성한다(도 1의 단계 15). 상기 스트레스막(67)은 실리콘 질화막(SiN), 실리콘 옥시나이트라이드막(SiON), 저압 화학기상증착 산화막(LPCVD oxide layer), 원자층 증착(ALD; atomic layer deposition) 산화막 및 에스오지막(SOG; spin on glass)으로 이루어진 일 군중 적어도 하나의 층으로 형성할 수 있다. 이 경우에, 상기 스트레스막(67)은 50Å 내지 2000Å의 두께로 형성하는 것이 바람직하다. 또한, 상기 스트레스막(67)은 상기 니켈, 실리콘사이드막들(65a, 65b)의 상변이(phase transformation)를 방지하기 위하여 550℃ 보다 낮은 온도에서 형성하는 것이 바람직하다. 따라서, 상기 실리콘 질화막 및 실리콘 옥시나이트라이드막은 550℃보다 낮은 온도에서 플라즈마 CVD 기술 또는 원자층 증착(ALD) 기술을 사용하여 형성하는 것이 바람직하고, 상기 저압 화학기상증착 산화막은 저온산화막(LTO layer; low temperature oxide layer)으로 형성하는 것이 바람직하다.

<29> 계속해서, 상기 스트레스막(67) 상에 하부 층간절연막(lower interlayer insulating layer; 69)을 형성한다(도 1의 단계 17). 상기 하부 층간절연막(69)은 통상의 실리콘 산화막으로 형성한다.

<30> 한편, 상기 반도체기판(51)에 상기 NMOS 트랜지스터와 아울러서 PMOS 트랜지스터(도시하지 않음)가 형성된 경우에, 상기 하부 층간절연막(69)을 패터닝하여 상기 NMOS 트랜지스터 영역 내의 상기 스트레스막(67)을 선택적으로 노출시키는 것이 바람직하다(도 1의 단계 19). 즉, 상기 PMOS 트랜지스터 영역 내의 상기 스트레스막(67)은 상기 패터닝된 하부 층간절연막(69)으로 덮여지는 것이 바람직하다.

<31> 상기 패터닝된 하부 층간절연막(69)을 갖는 반도체기판을 열처리하여 상기 노출된 스트레스막(67)의 물리적인 스트레스를 인장 스트레스(tensile stress)로 변환시키거나 상기 노출된 스트레스막(67)의 인장 스트레스를 증가시킨다(도 1의 단계 21). 예를 들면, 상기 초기의(initial) 스트레스막(67)이 약한 인장 스트레스(tensile stress)를 갖는 경우에, 상기 열처리 공정은 상기 초기의 스트레스막(67)이 더욱 강한 인장 스트레스를 갖도록 하기 위하여 실시된다. 이 경우에, 도 5의 화살표 "M"에 의해 표시된 바와 같이, 상기 노출된 스트레스막(67)과 접촉하는 상기 소오스/드레인 영역들(63)에 강한 압축 스트레스(compressive stress)가 가해진다. 그 결과, 도 5의 화살표 "N"에 의해 표시된 바와 같이, 상기 소오스/드레인 영역들(63) 사이의 채널 영역에 상대적으로 인장 스트레스가 가해진다. 다시 말해서, 상기 채널 영역은 인장된 채널(strained channel)로 변환되어(converted) 증가된 격자상수(increased lattice constant)를 갖는다. 이에 따라, 상기 인장된 채널 영역 내에 반전 채널(inversion channel)이 형성된 경우에, 상기 반전 채널 내의 캐리어들(예를 들면, 자유전자들)의 이동도(mobility)가 증가되어 상기 MOS 트랜지스터의 스위칭 특성을 향상시킨다.

<32> 상기 스트레스막(67)의 열처리 공정 역시 상기 니켈 실리사이드막들(65a, 65b)의 상변이를 방지하기 위하여 400℃ 내지 550℃의 저온에서 실시하는 것이 바람직하다. 상기 스트레스막(67)의 열처리 공정은 질소 가스를 분위기 가스로 사용하여 실시할 수 있다.

<33> 도 1 및 도 6을 참조하면, 상기 열처리된 스트레스막(67)을 갖는 반도체기판의 전면 상에 상부 층간절연막(71)을 형성한다(도 1의 단계 23). 상기 상부 층간절연막(71)

역시 상기 하부 층간절연막(69)과 동일한 물질막으로 형성할 수 있다. 상기 상부 층간절연막(71)은 화학기계적 연마 공정과 같은 평탄화 기술을 사용하여 평탄화될 수 있다.

<34> 한편, 상기 반도체기판(51)에 상기 NMOS 트랜지스터들만이 형성된 경우에는, 상기 하부 층간절연막(69)의 형성공정을 생략할 수 있다.

<35> 도 1 및 도 7을 참조하면, 상기 층간절연막들(69, 71) 및 상기 열처리된 스트레스막(67)을 패터닝하여 상기 제2 니켈 실리사이드막들(65b)을 노출시키는 콘택홀들을 형성한다. 상기 제1 니켈 실리사이드막(65a) 역시 상기 콘택홀들을 형성하는 동안 노출될 수 있다. 상기 스트레스막(67)이 실리콘 질화막 또는 실리콘 옥시나이트라이드막으로 형성되는 경우에, 상기 스트레스막은 상기 콘택홀을 형성하는 동안 식각저지막 역할을 할 수 있다. 상기 콘택홀들을 갖는 반도체기판의 전면 상에 금속막을 형성하고, 상기 금속막을 패터닝하여 상기 콘택홀들을 덮는 금속배선들(73)을 형성한다.

<36> <실험예들; examples>

<37> 이하에서는, 상술한 실시예들에 따라 제작된 시료들(samples)의 여러가지 측정결과들(various measurement results)을 설명하기로 한다.

<38> 도 8은 본 발명에 사용되는 스트레스막의 특성을 보여주는 그래프이다. 도 8의 그래프에 있어서, 가로축(abscissa)은 열처리 전의 그룹(B) 및 열처리 후의 그룹(A)을 나타내고, 세로축(ordinate)은 상기 인장 스트레스를 나타낸다. 상기 스트레스막은 실리콘 웨이퍼(bare silicon wafer) 상에 1000Å의 두께를 갖는 실리콘 옥시나이트라이드막으로 형성하였다. 상기 실리콘 옥시나이트라이드막은 400℃의 온도에서 플라즈마 CVD 기술

을 사용하여 형성하였다. 또한, 상기 스트레스막의 열처리 공정은 850℃의 온도에서 30초 동안 실시하였다. 이 경우에, 분위기 가스로서 질소 가스가 사용되었다.

<39> 도 8을 참조하면, 상기 초기의 실리콘 옥시나이트라이드막은 약 3.6×10^9 dyne/cm²의 인장 스트레스를 보였고, 열처리된 실리콘 옥시나이트라이드막은 약 12.7×10^9 dyne/cm²의 인장 스트레스를 보였다. 결과적으로, 상기 실리콘 옥시나이트라이드막은 본 발명에 사용되는 스트레스막으로 적합한 특성을 보였다.

<40> 도 9는 코발트 셀리사이드 기술을 사용하여 제작된 NMOS 트랜지스터들의 온/오프 전류 특성(즉, 온 전류 및 오프 전류의 상관관계(correlation)) 및 니켈 셀리사이드 기술을 사용하여 제작된 NMOS 트랜지스터들의 온/오프 전류 특성을 도시한 그래프이다. 도 9의 그래프에 있어서, 가로축은 단위 채널 폭당(per unit channel width) 드레인 포화 전류(drain saturation current; I_{dsat})를 나타내고, 세로축은 단위 채널 폭당 드레인 오프 전류(drain off current; I_{doff})를 나타낸다. 상기 드레인 포화전류(I_{dsat})는 소오스 영역 및 벌크 영역을 접지시키고 드레인 영역 및 게이트 전극에 +1 볼트의 전원전압(power supply voltage; V_{dd})을 인가한 경우에 상기 드레인 영역을 통하여 흐르는 전류이다. 또한, 상기 드레인 오프 전류(I_{doff})는 상기 소오스 영역, 벌크 영역 및 게이트 전극을 접지시키고 상기 드레인 영역에 상기 전원전압(V_{dd} ; +1 볼트)을 인가한 경우에 상기 드레인 영역을 통하여 흐르는 전류이다.

<41> 도 9의 측정결과들(measurement results)을 보여주는 NMOS 트랜지스터들은 다음의 [표 1]에 기재된 주요 공정 조건들(key process conditions)을 사용하여 제작되었다.

<42>

【표 1】

공정 파라미터	CoSi ₂ 시료들(B)	CoSi ₂ 시료들(A)	NiSi 시료들
1. 게이트 절연막	실리콘 옥시나이트라이드막(SiON), 16Å		
2. 게이트 전극	N형 폴리실리콘막		
3.LDD 이온주입	Arsenic, 2.5×10 ¹⁴ atoms/cm ² , 5KeV		
4.소오스/드레인 이온주입	Arsenic, 5×10 ¹⁵ atoms/cm ² , 40KeV		
5.소오스/드레인 열처리	1050℃, 질소 분위기, 급속 열처리(RTP)		
6.셀리사이드 공정 (실리사이드화 온도)	제1 열처리 온도(450℃) 제2 열처리 온도(830℃)		450℃
7.스트레스막	실리콘 옥시나이트라이드막(SiON), 500Å, 플라즈마 CVD(400℃)		
8.스트레스막 열처리	850℃	생략(skipped)	

<43> 도 9를 참조하면, 상기 코발트 실리사이드 시료들(B)는 상기 코발트 실리사이드 시료들(A)에 비하여 상대적으로 큰 드레인 포화전류(large drain saturation current)를 보였다. 예를 들면, 60nm의 채널 길이를 갖는 NMOS 트랜지스터들에 있어서, 상기 드레인 오프 전류(I_{doff})가 1000 nA/ μ m이었을 때, 상기 코발트 실리사이드 시료들(B)는 약 900 μ A/ μ m의 드레인 포화전류(I_{dsat})를 보였고 상기 코발트 실리사이드 시료들(A)는 약 800 μ A/ μ m의 드레인 포화전류(I_{dsat})를 보였다. 이는 상기 코발트 실리사이드 시료들(B)가 스트레스막의 열처리 공정에 기인하여 인장된 채널들(strained channels)을 갖기 때문인 것으로 이해될 수 있다.

<44> 한편, 상기 니켈 실리사이드 시료들은 상기 코발트 실리사이드 시료들(A)와 동일한 온/오프 전류 특성을 보였다. 이는 상기 니켈 실리사이드 시료들 및 상기 코발트 실리사이드 시료들(A) 모두 상기 [표 1]에 보여진 바와 같이 상기 스트레스막의 열처리 공정 없이 제작되었기 때문인 것으로 이해될 수 있다.

<45> 도 10은 니켈 실리사이드 기술을 사용하여 제작된 NMOS 트랜지스터들의 온/오프 전류 특성을 도시한 그래프이다. 도 10의 그래프에 있어서, 가로축은 단위 채널 폭당(per unit channel width) 드레인 포화전류(drain saturation current; I_{dsat})를 나타내고, 세로축은 단위 채널 폭당 드레인 오프 전류(drain off current; I_{doff})를 나타낸다. 상기 드레인 포화전류(I_{dsat}) 및 드레인 오프 전류(I_{doff})는 도 9에서 설명된 측정조건들과 동일한 바이어스 조건들을 사용하여 측정되었다.

<46> 도 10의 측정결과들(measurement results)을 보여주는 NMOS 트랜지스터들은 다음의 [표 2]에 기재된 주요 공정 조건들(key process conditions)을 사용하여 제작되었다.

<47> 【표 2】

공정 파라미터	NiSi 시료들(A)	NiSi 시료들(B)
1. 게이트 절연막	실리콘 옥시나이트라이드막(SiON), 16Å	
2. 게이트 전극	N형 폴리실리콘막	
3. LDD 이온주입	Arsenic, 2.5×10^{14} atoms/cm ² , 5KeV	
4. 소오스/드레인 이온주입	Arsenic, 5×10^{15} atoms/cm ² , 40KeV	
5. 소오스/드레인 열처리	1050℃, 질소 분위기, 급속 열처리(RTP)	
6. 실리사이드 공정 (실리사이드화 온도)	450℃	
7. 스트레스막	SiON, 500Å, 플라즈마 CVD(400℃)	
8. 스트레스막 열처리	생략(skipped)	450℃, 질소 분위기, 30분

<48> 도 10을 참조하면, 상기 니켈 실리사이드 시료들(B)의 드레인 포화전류(I_{dsat})는 상기 니켈 실리사이드 시료들(A)의 드레인 포화전류(I_{dsat})에 비하여 작았다. 예를 들면, 상기 드레인 오프 전류(I_{doff})가 100 nA/ μ m이었을 때, 상기 니켈 실리사이드 시료들(A)는 약 590 μ A/ μ m의 드레인 포화전류(I_{dsat})를 보였고 상기 니켈 실리사이드 시료들(B)는 약 620 μ A/ μ m의 드레인 포화전류(I_{dsat})를 보였다. 이는 상기 니켈 실리사이드 시

료들(B)가 스트레스막의 열처리 공정에 기인하여 인장된 채널들(strained channels)을 갖기 때문인 것으로 이해될 수 있다.

<49> 도 11은 플라즈마 CVD 산화막을 스트레스막으로 사용하여 제작된 NMOS 트랜지스터들의 온/오프 전류 특성들을 도시한 그래프이다. 도 11의 그래프에 있어서, 가로축은 단위 채널 폭당(per unit channel width) 드레인 포화전류(drain saturation current; I_{dsat})를 나타내고, 세로축은 단위 채널 폭당 드레인 오프 전류(drain off current; I_{doff})를 나타낸다. 상기 드레인 포화전류(I_{dsat}) 및 드레인 오프 전류(I_{doff})는 도 9에서 설명된 측정조건들과 동일한 바이어스 조건들을 사용하여 측정되었다.

<50> 도 11의 측정결과들(measurement results)을 보여주는 NMOS 트랜지스터들은 다음의 [표 3]에 기재된 주요 공정 조건들(key process conditions)을 사용하여 제작되었다.

<51> 【표 3】

공정 파라미터	NiSi 시료들(C)	NiSi 시료들(D)
1. 게이트 절연막	실리콘 옥시나이트라이드막(SiON), 16Å	
2. 게이트 전극	N형 폴리실리콘막	
3. LDD 이온주입	Arsenic, 2.5×10^{14} atoms/cm ² , 5KeV	
4. 소오스/드레인 이온주입	Arsenic, 5×10^{15} atoms/cm ² , 40KeV	
5. 소오스/드레인 열처리	1050℃, 질소 분위기, 급속 열처리(RTP)	
6. 셀리사이드 공정 (실리사이드화 온도)	450℃	
7. 스트레스막	SiO ₂ , 500Å, 플라즈마 CVD(400℃)	
8. 스트레스막 열처리	생략(skipped)	450℃, 질소 분위기, 30분

<52> 도 11을 참조하면, 스트레스막의 열처리 공정을 채택한 NMOS 트랜지스터들의 드레인 포화전류(I_{dsat})는 상기 스트레스막의 열처리 공정 없이 제작된 NMOS 트랜지스터들의 드레인 포화전류(I_{dsat})에 비하여 오히려 감소하였다. 즉, 상기 니켈 실리사이드 시료

들(D)의 드레인 포화전류(I_{dsat})는 상기 니켈 실리사이드 시료들(C)의 드레인 포화전류(I_{dsat})에 비하여 감소되었다. 이는 상기 스트레스막으로 사용된 플라즈마 CVD 산화막이 압축 스트레스(compressive stress)를 갖기 때문인 것으로 이해될 수 있다. 따라서, 400 °C에서 형성된 상기 플라즈마 CVD 산화막은 본 발명에 사용되는 스트레스막으로 부적합함을 알 수 있다.

<53> 도 12는 스트레스막 및 층간절연막을 차례로 형성한 후에 열처리 공정이 적용된 NMOS 트랜지스터들의 온/오프 전류 특성 및 상기 열처리 공정이 적용되지 않은 NMOS 트랜지스터들의 온/오프 전류 특성을 도시한 그래프이다. 도 12의 그래프에 있어서, 가로축은 단위 채널 폭당(per unit channel width) 드레인 포화전류(drain saturation current; I_{dsat})를 나타내고, 세로축은 단위 채널 폭당 드레인 오프 전류(drain off current; I_{doff})를 나타낸다. 상기 드레인 포화전류(I_{dsat}) 및 드레인 오프 전류(I_{doff})는 도 9에서 설명된 측정조건들과 동일한 바이어스 조건들을 사용하여 측정되었다.

<54> 도 12의 측정결과들(measurement results)을 보여주는 NMOS 트랜지스터들은 다음의 [표 4]에 기재된 주요 공정 조건들(key process conditions)을 사용하여 제작되었다.

<55> 【표 4】

공정 파라미터	NiSi 시료들(E)	NiSi 시료들(F)
1. 게이트 절연막	실리콘 옥시나이트라이드막(SiON), 16 Å	
2. 게이트 전극	N형 폴리실리콘막	
3. LDD 이온주입	Arsenic, 2.5×10^{14} atoms/cm ² , 5KeV	
4. 소오스/드레인 이온주입	Arsenic, 5×10^{15} atoms/cm ² , 40KeV	
5. 소오스/드레인 열처리	1050 °C, 질소 분위기, 급속 열처리(RTP)	
6. 셀리사이드 공정 (실리사이드화 온도)	450 °C	
7. 스트레스막	SiON, 500 Å, 플라즈마 CVD(400 °C)	
8. 층간절연막	LTO(low temperature oxide), 5000 Å	
9. 스트레스막 열처리	생략(skipped)	450 °C, 질소 분위기, 30분

<56> 도 12을 참조하면, 상기 스트레스막 및 층간절연막을 연속적으로 형성한 후에 상기 스트레스막의 열처리 공정을 실시하였을지라도, 상기 드레인 포화전류는 증가되지 않았다. 이는 상기 스트레스막이 층간절연막으로 덮여진 후에 열처리 공정을 실시하는 경우에 상기 스트레스막의 물리적인 스트레스는 변하지 않는 것으로 이해될 수 있다. 따라서, 본 발명의 효과를 얻기 위해서는 상기 스트레스막의 열처리 공정이 상기 스트레스막의 노출 후에 또는 상기 층간절연막의 형성 전에 실시되어야 한다.

<57> 결론적으로, 인장 스트레스를 갖는 스트레스막을 형성한 후에 열처리 공정을 실시하면, 인장된 채널을 갖는 모스 트랜지스터를 형성하는 것이 가능하다.

【발명의 효과】

<58> 상술한 바와 같이 본 발명에 따르면, 모스 트랜지스터를 갖는 반도체기판의 전면에 인장 스트레스를 갖는 절연막을 형성하고 상기 절연막을 열처리함으로써 인장된 채널(strained channel)을 갖는 모스 트랜지스터를 형성할 수 있다. 이에 따라, 상기 모스 트랜지스터의 스위칭 속도를 향상시킬 수 있다.

【특허청구범위】**【청구항 1】**

반도체기판의 소정영역에 모스 트랜지스터를 형성하되, 상기 모스 트랜지스터는 상기 반도체기판에 형성되고 서로 이격된(spaced apart) 소오스 영역 및 드레인 영역과 아울러서 상기 소오스 영역 및 상기 드레인 영역 사이의 채널 영역 상부에 형성된 게이트 전극을 갖고,

상기 모스 트랜지스터를 갖는 반도체기판의 전면 상에 스트레스막을 형성하고, 상기 스트레스막을 열처리하여 상기 스트레스막의 물리적인 스트레스를 인장 스트레스(tensile stress)로 변환시키거나(convert) 상기 스트레스막의 인장 스트레스를 증가시키는 것을 포함하는 반도체소자의 제조방법.

【청구항 2】

제 1 항에 있어서,

상기 모스 트랜지스터는 NMOS 트랜지스터인 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 3】

제 1 항에 있어서,

상기 스트레스막을 형성하기 전에, 상기 게이트 전극 및/또는 상기 소오스/드레인 영역들 상에 섀리사이드 기술을 사용하여 니켈 실리사이드막을 형성하는 것을 더 포함하는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 4】

제 1 항에 있어서,

상기 스트레스막은 인장 스트레스를 갖는 절연막인 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 5】

제 4 항에 있어서,

상기 인장 스트레스를 갖는 상기 절연막은 실리콘 질화막, 실리콘 옥시나이트라이드막, 저압 화학기상증착 산화막(LPCVD oxide layer), 원자층 증착(ALD) 산화막 및 에스오지막(SOG layer; spin on glass layer)으로 이루어진 일 군중 적어도 하나의 층으로 형성되는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 6】

제 5 항에 있어서,

상기 실리콘 질화막 및 상기 실리콘 옥시나이트라이드막은 플라즈마 CVD 기술 또는 원자층 증착(ALD) 기술을 사용하여 500℃보다 낮은 온도에서 형성하는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 7】

제 1 항에 있어서,

상기 스트레스막은 50Å 내지 2000Å의 두께로 형성하는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 8】

제 1 항에 있어서,

상기 스트레스막을 열처리하는 것은 400℃ 내지 550℃의 온도에서 실시하는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 9】

제 8 항에 있어서,

상기 열처리 공정은 분위기 가스(ambient gas)로서 질소 가스를 사용하여 실시하는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 10】

반도체기판의 소정영역에 소자분리막을 형성하여 활성영역을 한정하고,

상기 활성영역의 상부를 가로지르는 게이트 전극을 형성하고,

상기 게이트 전극의 측벽 상에 스페이서를 형성하고,

상기 게이트 전극 및 상기 스페이서를 이온주입 마스크들로 사용하여 상기 활성영역에 N형의 불순물들을 주입하여 상기 게이트 전극의 양 옆에 N형의 소오스/드레인 영역들을 형성하고,

상기 게이트 전극 및 상기 N형의 소오스/드레인 영역들 상에 셀리사이드 기술을 사용하여 니켈 실리사이드막을 형성하고,

상기 니켈 실리사이드막을 갖는 반도체기판의 전면 상에 스트레스막을 형성하고,

상기 스트레스막을 열처리하여 상기 스트레스막의 물리적인 스트레스를 인장 스트레스(tensile stress)로 변환시키거나(convert) 상기 스트레스막의 인장 스트레스를 증가시키고,

상기 열처리된 스트레스막 상에 층간절연막을 형성하는 것을 포함하는 반도체소자의 제조방법.

【청구항 11】

제 10 항에 있어서,

상기 스페이서를 형성하기 전에,

상기 소자분리막 및 상기 게이트 전극을 이온주입 마스크들로 사용하여 상기 활성 영역에 N형의 불순물들을 주입하여 N형의 엘디디 영역을 형성하는 것을 더 포함하는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 12】

제 10 항에 있어서,

상기 니켈 실리사이드막은 순수 니켈 실리사이드막(pure nickel silicide layer) 또는 니켈 합금 실리사이드막(nickel alloy silicide layer)인 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 13】

제 12 항에 있어서,

상기 니켈 합금 실리사이드막은 탄탈륨(Ta), 지르코늄(Zr), 타이타늄(Ti), 하프늄(Hf), 텅스텐(W), 코발트(Co), 백금(Pt), 몰리브데늄(Mo), 팔라듐(Pd), 바나듐(V)

및 니오비움(Nb)으로 이루어진 일 군중 적어도 하나를 함유하는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 14】

제 10 항에 있어서,

상기 스트레스막은 실리콘 질화막, 실리콘 옥시나이트라이드막, 저압 화학기상증착 산화막(LPCVD oxide layer), 원자층 증착 산화막 및 에스오지막(SOG layer; spin on glass layer)으로 이루어진 일 군중 적어도 하나의 층으로 형성되는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 15】

제 14 항에 있어서,

상기 실리콘 질화막 및 상기 실리콘 옥시나이트라이드막은 플라즈마 CVD 기술 또는 원자층 증착 기술을 사용하여 500℃보다 낮은 온도에서 형성하는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 16】

제 10 항에 있어서,

상기 스트레스막은 50Å 내지 2000Å의 두께로 형성하는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 17】

제 10 항에 있어서,

상기 스트레스막을 열처리하는 것은 400℃ 내지 550℃의 온도에서 실시하는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 18】

제 17 항에 있어서,

상기 열처리는 질소 분위기에서 실시하는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 19】

반도체기판의 소정영역에 소자분리막을 형성하여 활성영역을 한정하고,

상기 활성영역의 상부를 가로지르는 게이트 전극을 형성하고,

상기 게이트 전극의 측벽 상에 스페이서를 형성하고,

상기 게이트 전극 및 상기 스페이서를 이온주입 마스크들로 사용하여 상기 활성영역에 N형의 불순물들을 주입하여 상기 게이트 전극의 양 옆에 N형의 소오스/드레인 영역들을 형성하고,

상기 게이트 전극 및 상기 N형의 소오스/드레인 영역들 상에 셀리사이드 기술을 사용하여 니켈 실리사이드막을 형성하고,

상기 니켈 실리사이드막을 갖는 반도체기판의 전면 상에 스트레스막을 형성하고,

상기 스트레스막 상에 하부 층간절연막(lower interlayer insulating layer)을 형성하고,

상기 하부 층간절연막을 패터닝하여 상기 활성영역 상부의 상기 스트레스막을 노출시키고,

상기 노출된 스트레스막(exposed stress layer)을 열처리하여 상기 노출된 스트레스막의 물리적인 스트레스를 인장 스트레스(tensile stress)로 변환시키거나(convert) 상기 노출된 스트레스막의 인장 스트레스를 증가시키고,

상기 열처리된 반도체기판의 전면 상에 상부 층간절연막을 형성하는 것을 포함하는 반도체소자의 제조방법.

【청구항 20】

제 19 항에 있어서,

상기 스페이서를 형성하기 전에,

상기 소자분리막 및 상기 게이트 전극을 이온주입 마스크들로 사용하여 상기 활성 영역에 N형의 불순물들을 주입하여 N형의 엘디디 영역을 형성하는 것을 더 포함하는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 21】

제 19 항에 있어서,

상기 니켈 실리사이드막은 순수 니켈 실리사이드막(pure nickel silicide layer) 또는 니켈 합금 실리사이드막(nickel alloy silicide layer)인 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 22】

제 21 항에 있어서,

상기 니켈 합금 실리사이드막은 탄탈륨(Ta), 지르코늄(Zr), 타이타늄(Ti), 하프늄(Hf), 텅스텐(W), 코발트(Co), 백금(Pt), 몰리브데늄(Mo), 팔라듐(Pd), 바나듐(V)

및 니오비움(Nb)으로 이루어진 일 군중 적어도 하나를 함유하는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 23】

제 19 항에 있어서,

상기 스트레스막은 실리콘 질화막, 실리콘 옥시나이트라이드막, 저압 화학기상증착 산화막(LPCVD oxide layer), 원자층 증착 산화막 및 에스오지막(SOG layer; spin on glass layer)으로 이루어진 일 군중 적어도 하나의 층으로 형성되는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 24】

제 23 항에 있어서,

상기 실리콘 질화막 및 상기 실리콘 옥시나이트라이드막은 플라즈마 CVD 기술 또는 원자층 증착 기술을 사용하여 500℃보다 낮은 온도에서 형성하는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 25】

제 19 항에 있어서,

상기 스트레스막은 50Å 내지 2000Å의 두께로 형성하는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 26】

제 19 항에 있어서,

상기 노출된 스트레스막을 열처리하는 것은 400℃ 내지 550℃의 온도에서 실시하는 것을 특징으로 하는 반도체소자의 제조방법.

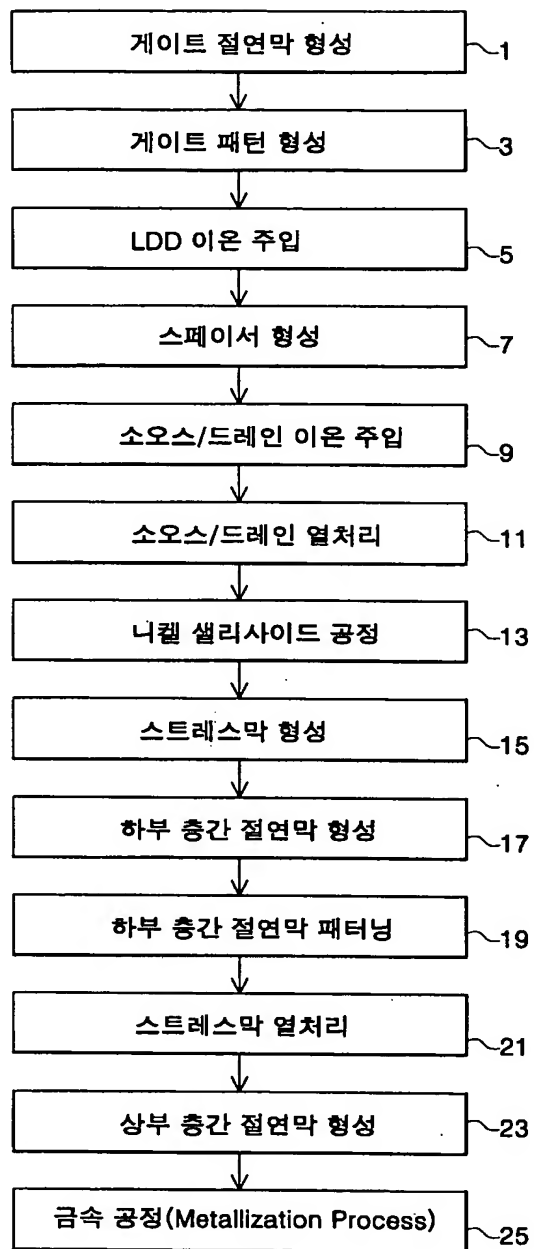
【청구항 27】

제 26 항에 있어서,

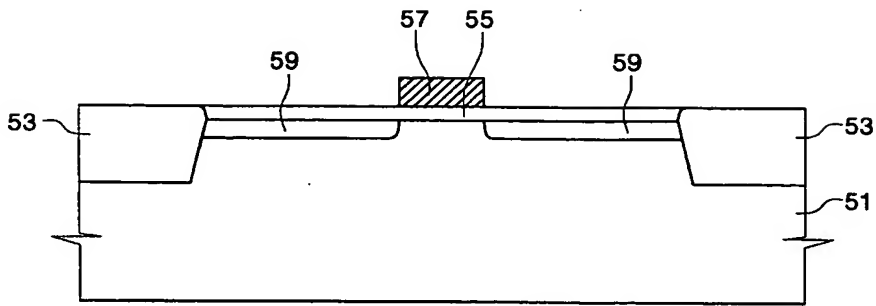
상기 열처리하는 질소 분위기에서 실시하는 것을 특징으로 하는 반도체소자의 제조방법.

【도면】

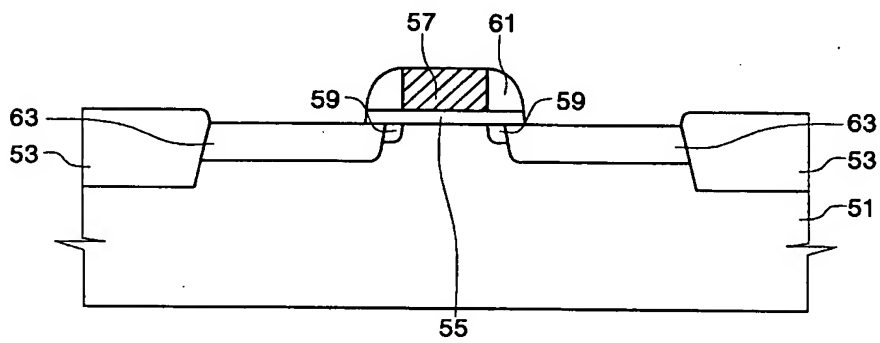
【도 1】



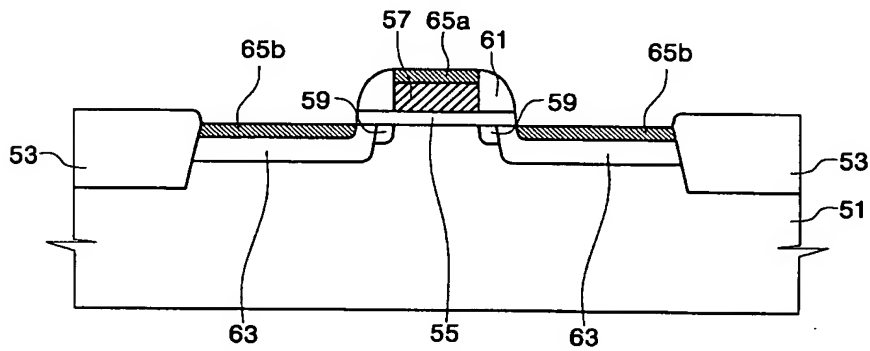
【도 2】



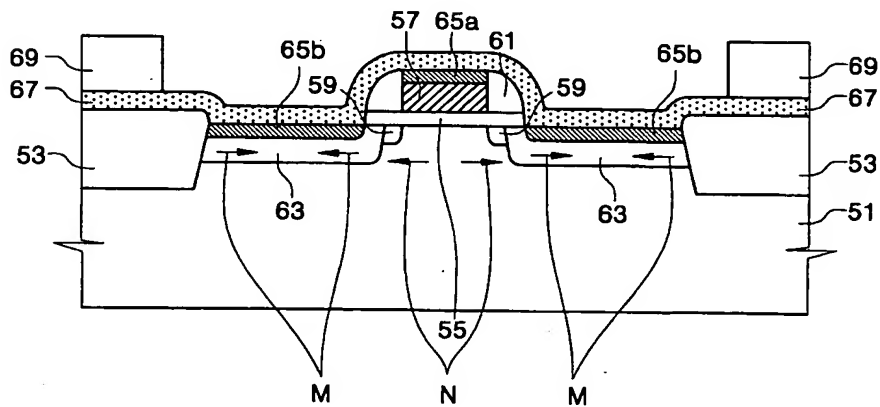
【도 3】



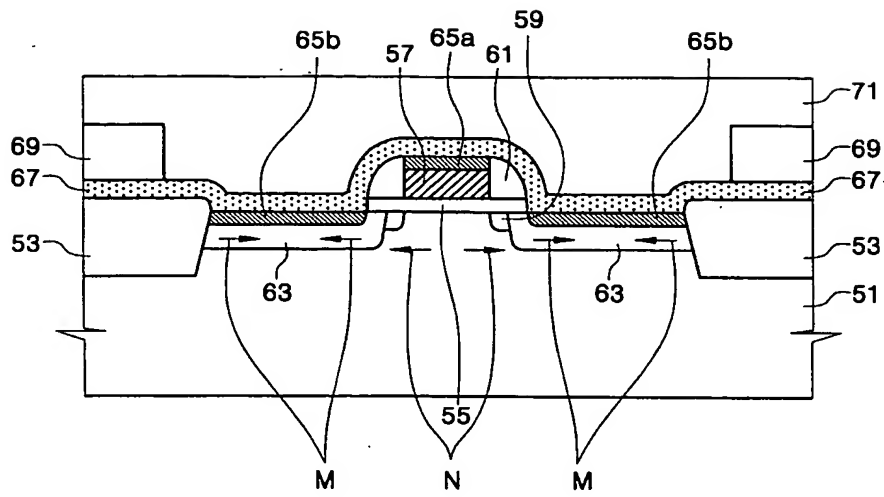
【도 4】



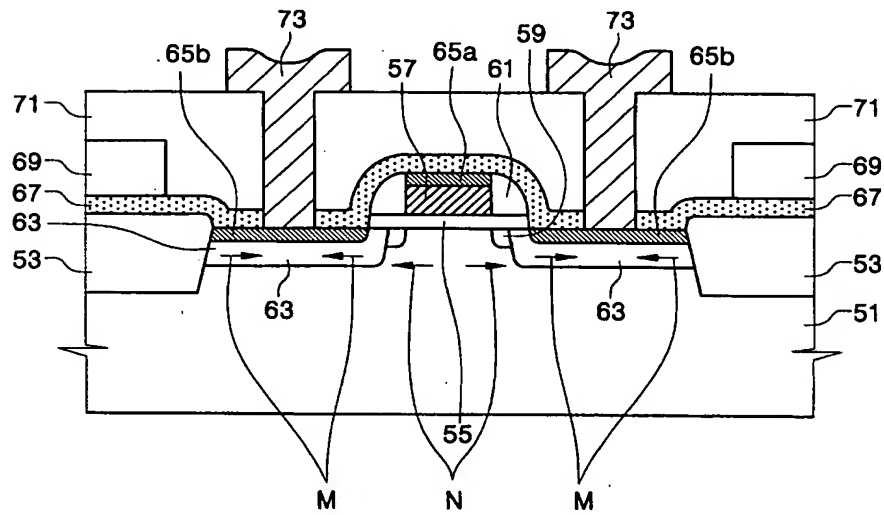
【도 5】



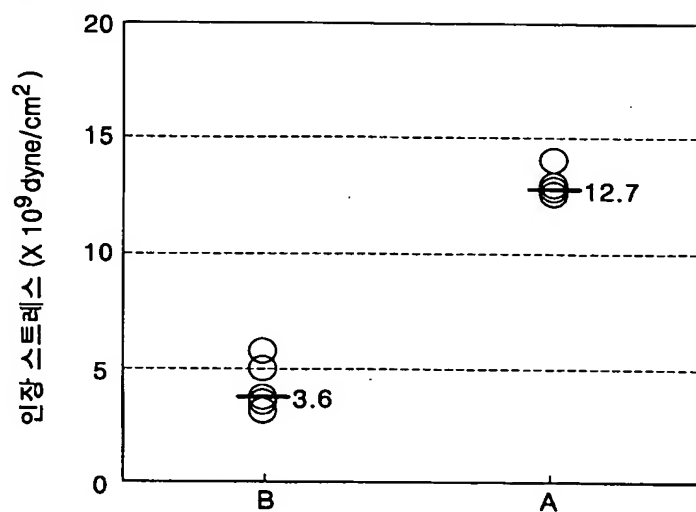
【도 6】



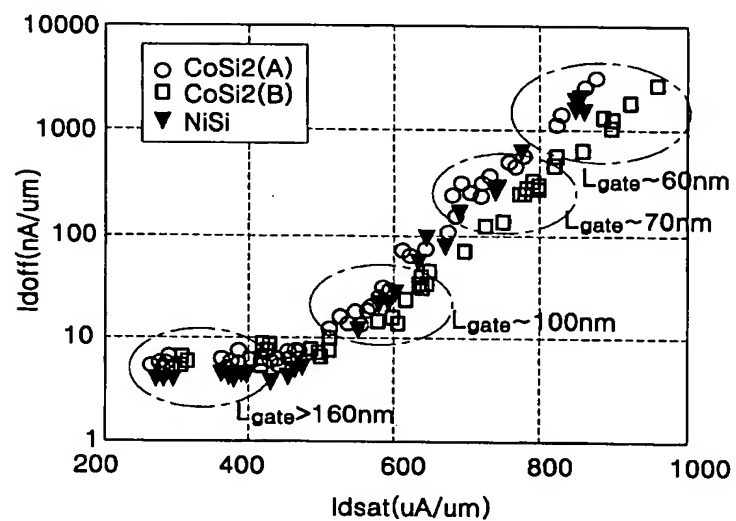
【도 7】



【도 8】

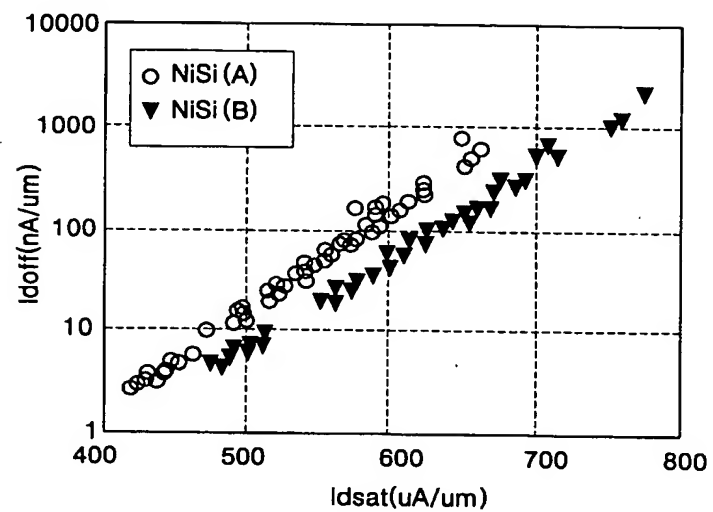


【도 9】

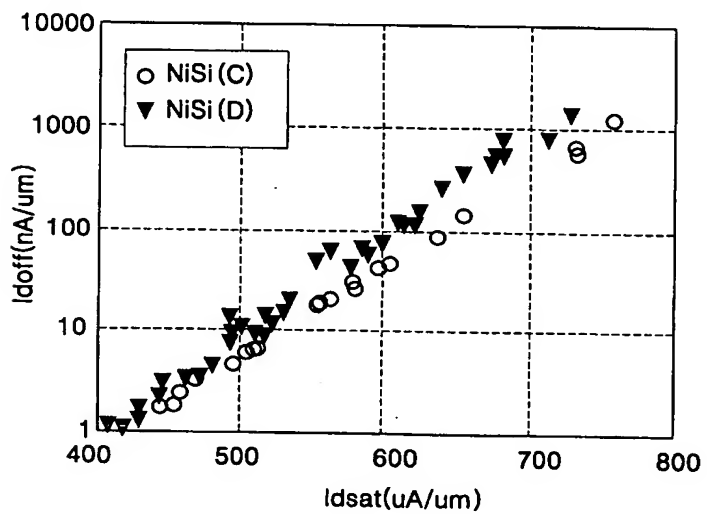




【도 10】



【도 11】



【도 12】

